

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005年12月8日 (08.12.2005)

PCT

(10) 国際公開番号  
WO 2005/117120 A1

(51) 国際特許分類<sup>7</sup>: H01L 27/105, 27/108, 21/8242

〒2118588 神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2004/007373

(74) 代理人: 國分 孝悦 (KOKUBUN, Takayoshi); 〒1700013  
東京都豊島区東池袋1丁目17番8号 池袋T Gホー  
メストビル5階 Tokyo (JP).

(22) 国際出願日: 2004年5月28日 (28.05.2004)

(81) 指定国(表示のない限り、全ての種類の国内保護が  
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,  
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,  
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,  
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

(25) 国際出願の言語: 日本語

(84) 指定国(表示のない限り、全ての種類の広域保護が可  
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

(26) 国際公開の言語: 日本語

(71) 出願人(米国を除く全ての指定国について): 富士通株  
式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈  
川県川崎市中原区上小田中4丁目1番1号 Kanagawa  
(JP).

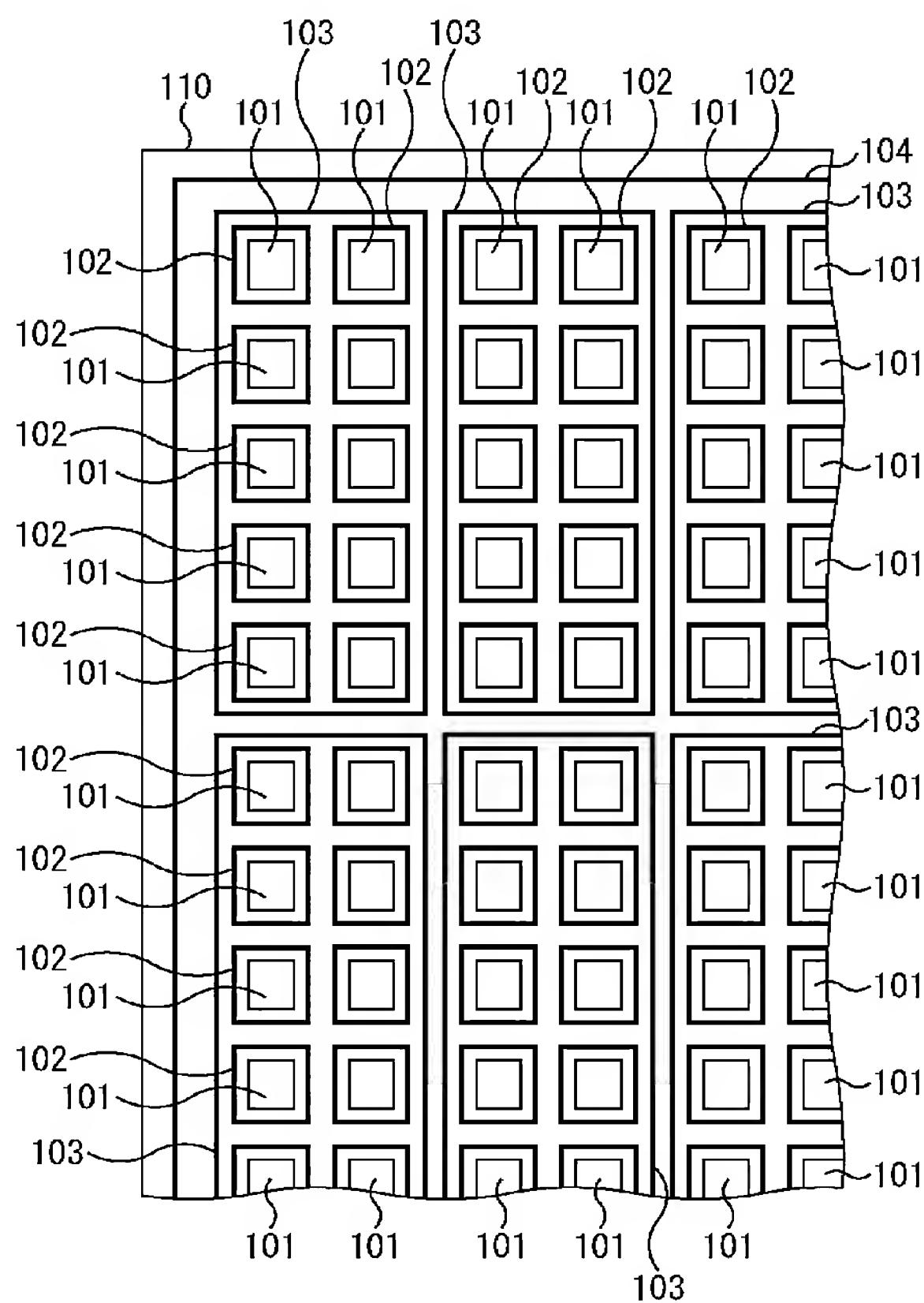
(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 八重樫 鉄男  
(YAEGASHI, Tetsuo) [JP/JP]; 〒2118588 神奈川県川  
崎市中原区上小田中4丁目1番1号 富士通株式会社  
内 Kanagawa (JP). 永井 孝一 (NAGAI, Kouichi) [JP/JP];

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR FABRICATING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A seal ring (102) is so formed as to surround each ferroelectric capacitor (101) and a seal ring (103) is so formed as to surround a plurality of ferroelectric capacitors (101). Furthermore, a seal ring (104) is so formed as to surround all ferroelectric capacitors (101) along the inside of a dicing line (110).

(57) 要約: 各強誘電体キャパシタ (101) を  
取り囲むようにしてシールリング (102) が  
形成されている。また、複数の強誘電体キャパ  
シタ (101) を取り囲むようにしてシールリ  
ング (103) が形成されている。更に、強誘  
電体キャパシタ (101) のすべてを取り囲む  
ようにして、かつダイシングライン (110)  
の内側にダイシングライン (110) に沿って  
シールリング (104) が形成されている。

WO 2005/117120 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

### 半導体装置及びその製造方法

#### 技術分野

[0001] 本発明は、強誘電体キャパシタを備えた不揮発性メモリに好適な半導体装置及びその製造方法に関する。

#### 背景技術

[0002] 従来、メモリ等の半導体装置では、例えば特許文献1(特開2000-277465号公報)に記載されているように、ダイシングラインに沿ってシールリング(耐湿リング)が形成されている。このようなシールリングは、外部からの水分の滲入を防止するために形成されている。

[0003] しかしながら、強誘電体キャパシタを備えたメモリである強誘電体メモリでは、このようなシールリングだけでは、吸湿による強誘電体キャパシタの劣化を十分に防止することが困難となっている。

[0004] 特許文献1:特開2000-277465号公報

#### 発明の開示

[0005] 本発明の目的は、吸湿に伴う強誘電体キャパシタの劣化をより抑制することができる半導体装置及びその製造方法を提供することにある。

[0006] 本願発明者は、前記課題を解決すべく鋭意検討を重ねた結果、以下に示す発明の諸態様に想到した。

[0007] 本発明に係る半導体装置には、半導体基板と、前記半導体基板の上方に形成された複数の強誘電体キャパシタと、前記複数の強誘電体キャパシタのうちから選択された1個以上を取り囲む複数の第1のシールリングと、が設けられている。

[0008] 本発明に係る半導体装置の製造方法では、半導体基板の上方に複数の強誘電体キャパシタを形成した後、前記複数の強誘電体キャパシタのうちから選択された1個以上を取り囲む複数のシールリングを形成する。

#### 図面の簡単な説明

[0009] [図1]図1は、本発明の実施形態に係る方法によって製造する強誘電体メモリ(半導

体装置)のメモリセルアレイの構成を示す回路図である。

[図2A]図2Aは、本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す断面図である。

[図2B]図2Bは、図2Aに引き続き、本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す断面図である。

[図2C]図2Cは、図2Bに引き続き、本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す断面図である。

[図2D]図2Dは、図2Cに引き続き、本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す断面図である。

[図2E]図2Eは、図2Dに引き続き、本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す断面図である。

[図2F]図2Fは、図2Eに引き続き、本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す断面図である。

[図2G]図2Gは、図2Fに引き続き、本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す断面図である。

[図3]図3は、本発明の実施形態に係る強誘電体メモリにおける強誘電体キャパシタと各シールリングとの関係を示すレイアウト図である。

### 発明を実施するための最良の形態

[0010] 以下、本発明の実施形態について、添付の図面を参照して具体的に説明する。図1は、本発明の実施形態に係る方法によって製造する強誘電体メモリ(半導体装置)のメモリセルアレイの構成を示す回路図である。

[0011] このメモリセルアレイには、一の方向に延びる複数本のビット線3、並びにビット線3が延びる方向に対して垂直な方向に延びる複数本のワード線4及びプレート線5が設けられている。また、これらのビット線3、ワード線4及びプレート線5が構成する格子と整合するようにして、複数個の強誘電体メモリのメモリセルがアレイ状に配置されている。各メモリセルには、強誘電体キャパシタ1及びMOSトランジスタ2が設けられている。

[0012] MOSトランジスタ2のゲートはワード線4に接続されている。また、MOSトランジスタ

2の一方のソース・ドレインはビット線3に接続され、他方のソース・ドレインは強誘電体キャパシタ1の一方の電極に接続されている。そして、強誘電体キャパシタ1の他方の電極がプレート線5に接続されている。なお、各ワード線4及びプレート線5は、それらが延びる方向と同一の方向に並ぶ複数個のMOSトランジスタ2により共有されている。同様に、各ビット線3は、それが延びる方向と同一の方向に並ぶ複数個のMOSトランジスタ2により共有されている。ワード線4及びプレート線5が延びる方向、ビット線3が延びる方向は、夫々行方向、列方向とよばれることがある。

[0013] このように構成された強誘電体メモリのメモリセルアレイでは、強誘電体キャパシタ1に設けられた強誘電体膜の分極状態に応じて、データが記憶される。

[0014] 次に、本発明の実施形態に係る強誘電体メモリ(半導体装置)の製造方法について説明する。但し、ここでは、便宜上、各メモリセルの断面構造については、その製造方法と共に説明する。図2A乃至図2Gは、本発明の実施形態に係る強誘電体メモリの製造方法を工程順に示す断面図である。また、図3は、本発明の実施形態に係る強誘電体メモリにおける強誘電体キャパシタと各シールリングとの関係を示すレイアウト図である。

[0015] 先ず、図2Aに示すように、シリコン基板等の半導体基板11の表面に、例えばSTI(shallow trench isolation)により素子分離領域12を形成する。次いで、素子分離領域12により区画された素子活性領域において、半導体基板11の表面にウェル13を形成する。続いて、ゲート絶縁膜17、ゲート電極18、シリサイド層19、ソース・ドレイン拡散層15、サイドウォール20及びシリサイド層16をウェル13の表面に形成することにより、MOSトランジスタ14を形成する。このMOSトランジスタ14が、図1におけるMOSトランジスタ2に相当する。なお、各MOSトランジスタ14には、2個のソース・ドレイン拡散層15を形成するが、その一方は、2個のMOSトランジスタ14間で共有させる。

[0016] 次に、全面にシリコン酸窒化膜21を、MOSトランジスタ14を覆うようにして形成し、更に全面にシリコン酸化膜22を、例えば有機CVD法により形成する。シリコン酸窒化膜21は、シリコン酸化膜22を形成する際のゲート絶縁膜17等の水素劣化を防止するために形成されている。

[0017] その後、図2Bに示すように、各シリサイド層16まで到達するコンタクトホールをシリ

コン酸化膜22及びシリコン酸窒化膜21に形成することにより、プラグコンタクト部を開口する。そして、コンタクトホール内に、グルー膜23として、50nmのTiN膜及び30nmのTi膜からなる積層膜を形成した後、例えばCVD法によりW膜を埋め込み、CMP(化学機械的研磨)を行って平坦化することにより、Wプラグ24を形成する。平坦化終了後、NH<sub>3</sub>ガスを用いたプラズマにて、シリコン酸化膜22(層間絶縁膜)の表面を若干窒化する。

[0018] また、半導体基板11の上方には、後に強誘電体キャパシタが形成される個別キャパシタ領域が複数存在するが、これらの個別キャパシタ領域を複数の群に区画してキャパシタブロックを定め、Wプラグ24用のコンタクトホールの形成と並行して、各個別キャパシタ領域の周囲及び各キャパシタブロックの周囲において、素子分離領域12まで到達するシール孔を形成する。更に、グルー膜23及びWプラグ24の形成と並行して、シール孔内にグルー膜23r及びW膜24rを形成する。なお、シール孔は、あくまでも素子分離領域12まで到達するようにして形成し、MOSトランジスタ14等が存在する素子活性領域内には形成しない。

[0019] 次いで、図2Cに示すように、全面に下部電極膜25、強誘電体膜26及び上部電極膜27を順次形成する。下部電極膜25の形成に当たっては、例えば、厚さが10nmのTi膜及び厚さが150nmのIr膜をスパッタ法により順次成膜する。強誘電体膜26としては、例えばPZT膜をMOCVD法により形成することができ、その厚さは、例えば120nmとする。上部電極膜27の形成に当たっては、IrO<sub>x</sub>膜を成膜した後に、炉内でのアニールを行い、その後IrO<sub>2</sub>膜を成膜する。IrO<sub>x</sub>膜及びIrO<sub>2</sub>膜は、例えばスパッタ法により形成する。

[0020] IrO<sub>x</sub>膜の成膜後に行うアニールは、IrO<sub>x</sub>膜の成膜による強誘電体膜26の損傷を回復するための回復アニールである。この回復アニールとしては、例えば550°CでO<sub>2</sub>雰囲気の炉内アニールを60分間行う。

[0021] 続いて、パターニング及びエッチング技術を用いて、上部電極膜27、強誘電体膜26及び下部電極膜25を加工することにより、上部電極膜27を上部電極とし、下部電極膜25を下部電極とし、これらの間に強誘電体膜26が挟まれたスタック構造の強誘電体キャパシタを形成する。この強誘電体キャパシタが、図1における強誘電体キャ

パシタ1に相当する。なお、この加工では、例えばプラズマTEOS(tetraethyl orthosilicate)膜及びTiN膜の積層膜(図示せず)をハードマスクとして使用し、上部電極膜27、強誘電体膜26及び下部電極膜25を一括してエッチングする。

[0022] 次に、強誘電体キャパシタを覆うアルミナ保護膜28を全面に形成する。アルミナ保護膜28は、例えばCVD法により形成し、その厚さは、例えば5乃至20nm、本実施形態では10nmとする。アルミナ保護膜28のステップカバレッジは良好である。続いて、 $550^{\circ}\text{C}$ で $\text{O}_2$ 雰囲気の炉内アニールを60分間行うことにより、強誘電体膜26に生じたエッチングダメージを回復させる。

[0023] 次いで、図2Dに示すように、全面に層間絶縁膜29を成膜した後、これをCMPにより平坦化する。層間絶縁膜29としては、例えばシリコン酸化膜を成膜する。CMP後の残し膜厚は、例えば上部電極27上で400nmとする。

[0024] 続いて、図2Eに示すように、パターニング及びエッチング技術を用いて、層間絶縁膜29及びアルミナ保護膜28に、2個のMOSトランジスタ14により共有されたシリサイド層16に接続されたWプラグ24まで到達するコンタクトホールを形成する。次に、このコンタクトホール内にグルー膜30として、例えば50nmのTiN膜を形成した後、例えばCVD法によりW膜を埋め込み、CMPを行って平坦化することにより、Wプラグ31を形成する。その後、例えば $350^{\circ}\text{C}$ で $\text{N}_2$ プラズマに層間絶縁膜29及びWプラグ31の表面を晒す。このプラズマ処理の時間は、例えば120秒間である。

[0025] また、Wプラグ31用のコンタクトホールの形成と並行して、各個別キャパシタ領域の周囲及び各キャパシタブロックの周囲において、W膜24r又はシリコン酸化膜22まで到達するシール孔を形成する。更に、グルー膜30及びWプラグ31の形成と並行して、シール孔内にグルー膜30r及びW膜31rを形成する。なお、シール孔は、配線が形成される領域内には形成しない。

[0026] 次いで、全面にW酸化防止膜(図示せず)を形成する。W酸化防止膜としては、例えばSiON膜を使用することができ、その厚さは例えば100nm程度とする。そして、パターニング及びエッチング技術を用いて、図2Fに示すように、W酸化防止膜及び層間絶縁膜29に、上部電極膜27まで到達するコンタクトホールと、下部電極膜25まで到達するコンタクトホール(図示せず)とを形成する。続いて、層間絶縁膜29の堆

積時の水素による損傷及びエッチングによる損傷を回復させるためのアニールを施す。このアニールは、例えば550°CでO<sub>2</sub>雰囲気の炉内アニールとしてもよく、その時間は例えば60分間である。このアニールの後、W酸化防止膜をエッチバックにより除去する。

[0027] 次に、グレー膜、配線材料膜及びグレー膜を順次堆積する。下層のグレー膜としては、例えば厚さが70nmのTiN膜と5nmのTi膜との積層膜を形成し、配線材料膜としては、例えば厚さが400nmのAl—Cu合金膜を形成し、上層のグレー膜としては、例えば厚さが30nmのTiN膜と60nmのTi膜との積層膜を形成する。

[0028] 次いで、上層のグレー膜上に反射防止膜(図示せず)を塗布により形成し、更にレジストを塗布する。続いて、レジスト膜を配線パターンに整合するように加工し、加工後のレジスト膜をマスクとして、反射防止膜、上層のグレー膜、配線材料膜及び下層のグレー膜をエッチングする。反射防止膜としては、例えばSiON膜を形成し、その厚さは例えば30nm程度とする。このようなエッチングにより、図2Fに示すように、Wプラグ31及び／又は上部電極膜27に電気的に接続されるグレー膜32、配線33及びグレー膜34が形成されると共に、W膜31rの上方にグレー膜32r、金属膜33r及びグレー膜34rが形成される。

[0029] その後、図2Gに示すように、全面に層間絶縁膜35を成膜した後、これをCMPにより平坦化する。層間絶縁膜35としては、例えばシリコン酸化膜を成膜する。続いて、パターニング及びエッチング技術を用いて、層間絶縁膜35に、グレー膜34まで到達するコンタクトホールを形成する。次に、このコンタクトホール内にグレー膜36として、例えば50nmのTiN膜を形成した後、例えばCVD法によりW膜を埋め込み、CMPを行って平坦化することにより、Wプラグ37を形成する。

[0030] また、Wプラグ37用のコンタクトホールの形成と並行して、各個別キャパシタ領域の周囲及び各キャパシタブロックの周囲において、グレー膜34rまで到達するシール孔を形成する。更に、グレー膜36及びWプラグ37の形成と並行して、シール孔内にグレー膜36r及びW膜37rを形成する。なお、シール孔は、配線が形成される領域内には形成しない。

[0031] その後、更に上層の配線及び層間絶縁膜等を形成する。そして、例えばTEOS酸

化膜及びSiN膜からなるカバー膜を形成して強誘電体キャパシタを有する強誘電体メモリを完成させる。なお、上層配線の形成に際しては、例えば、上部電極膜27に接続された配線33がプレート線に接続されるようにし、2個のMOSトランジスタ14により共有されたシリサイド層16に接続された配線33がビット線に接続されるようとする。ゲート電極18については、それ自体をワード線としてもよく、また、上層配線において、ゲート電極18がワード線に接続されるようにしてもよい。

- [0032] また、グルー膜23r、30r、32r、34r及び36r並びにW膜24r、31r、33r及び37rは、半導体基板11上に形成された素子には接続せず、シールリングの一部とする。
- [0033] このようにして製造された本実施形態に係る強誘電体メモリでは、図3に示すように、各強誘電体キャパシタ101(図1中の強誘電体キャパシタ1に相当する)を取り囲むようにしてシールリング(第1のシールリング)102が形成され、例えば10個の強誘電体キャパシタ101を取り囲むようにしてシールリング(第2のシールリング)103が形成され、更に、強誘電体キャパシタ101のすべてを取り囲むようにして、かつダイシングライン110の内側にダイシングライン110に沿ってシールリング(第3のシールリング)104が形成されている。
- [0034] 従って、シールリング104によって、外部からの吸湿が抑制されると共に、シールリング102及び103によって、内部の層間絶縁膜から放出される水分の強誘電体キャパシタ101までの拡散も抑制される。この結果、吸湿による強誘電体キャパシタ101の劣化が抑制される。
- [0035] また、このような強誘電体メモリを製造するに当たっては、従来の強誘電体キャパシタを製造する際に用いるレチクル等のパターンを変更すればよく、特に工程数を増加させる必要はない。
- [0036] 従来の構造では、層間絶縁膜からの放出される水分による強誘電体キャパシタの劣化を抑制するためには、層間絶縁膜に含まれる水分を低減する必要がある。しかし、水分を低減するために有効な高パワーでの成膜を行うと、既に形成されている強誘電体キャパシタに損傷が生じてしまう。これに対し、本実施形態では、層間絶縁膜中の水分を従来ほど下げなくとも、強誘電体キャパシタの劣化を抑制することができるため、上述のような損傷の発生を回避することが可能である。

[0037] なお、上述の実施形態では、3重のシールリングが設けられているが、例えばシールリング102又は103が設けられていなくてもよい。シールリング102が設けられていない場合、シールリング103が、請求の範囲における第1のシールリングに相当し、シールリング104が、第2のシールリングに相当する。また、シールリング103が設けられていない場合、シールリング102が、請求の範囲における第1のシールリングに相当し、シールリング104が、第2のシールリングに相当する。また、より多重のシールリングが設けられていてもよい。

[0038] また、シールリングは、強誘電体キャパシタよりも下層まで伸びている必要はないが、より高い耐湿性を得るために、素子分離領域まで伸びていることが好ましい。

[0039] 更に、シールリングを構成する材料は、水分の拡散を防止できるものであれば限定されず、例えば金属材料を用いることが好ましい。

### 産業上の利用可能性

[0040] 以上詳述したように、本発明によれば、強誘電体キャパシタの周囲に存在する層間絶縁膜等の膜中からの水分の強誘電体キャパシタへの滲入を抑制することができる。従って、強誘電体キャパシタの性能の劣化を抑制することができる。

## 請求の範囲

[1] 半導体基板と、  
前記半導体基板の上方に形成された複数の強誘電体キャパシタと、  
前記複数の強誘電体キャパシタのうちから選択された1個以上を取り囲む複数の第1のシールリングと、  
を有することを特徴とする半導体装置。

[2] 複数の前記第1のシールリングのうちから選択された2個以上を取り囲む第2のシールリングを有することを特徴とする請求項1に記載の半導体装置。

[3] 前記第2のシールリングは、ダイシングラインに沿って形成されていることを特徴とする請求項2に記載の半導体装置。

[4] 複数の前記第1のシールリングのうちから選択された2個以上を取り囲む複数の第2のシールリングと、  
前記複数個の強誘電体キャパシタのすべてを取り囲むと共に、前記第2のシールリングのすべてを取り囲む第3のシールリングを有することを特徴とする請求項1に記載の半導体装置。

[5] 前記第3のシールリングは、ダイシングラインに沿って形成されていることを特徴とする請求項4に記載の半導体装置。

[6] 前記第1のシールリングは、前記強誘電体キャパシタと同じ層及びその上層に形成された金属膜を有することを特徴とする請求項1に記載の半導体装置。

[7] 前記第1のシールリングは、前記強誘電体キャパシタより下層に形成された金属膜を更に有することを特徴とする請求項6に記載の半導体装置。

[8] 複数の配線層を有し、  
前記第1のシールリングは、前記複数の配線層のうちで最も上層に位置するものと同じ高さまで伸びていることを特徴とする請求項1に記載の半導体装置。

[9] 前記第2のシールリングは、前記強誘電体キャパシタと同じ層及びその上層に形成された金属膜を有することを特徴とする請求項2に記載の半導体装置。

[10] 前記第2のシールリングは、前記強誘電体キャパシタより下層に形成された金属膜を更に有することを特徴とする請求項9に記載の半導体装置。

[11] 複数の配線層を有し、  
前記第2のシールリングは、前記複数の配線層のうちで最も上層に位置するものと同じ高さまで延びていることを特徴とする請求項2に記載の半導体装置。

[12] 前記第3のシールリングは、前記強誘電体キャパシタと同じ層及びその上層に形成された金属膜を有することを特徴とする請求項4に記載の半導体装置。

[13] 前記第3のシールリングは、前記強誘電体キャパシタより下層に形成された金属膜を更に有することを特徴とする請求項12に記載の半導体装置。

[14] 複数の配線層を有し、  
前記第3のシールリングは、前記複数の配線層のうちで最も上層に位置するものと同じ高さまで延びていることを特徴とする請求項4に記載の半導体装置。

[15] 半導体基板の上方に複数の強誘電体キャパシタを形成する工程と、  
前記複数の強誘電体キャパシタのうちから選択された1個以上を取り囲む複数の第1のシールリングを形成する工程と、  
を有することを特徴とする半導体装置の製造方法。

[16] 前記第1のシールリングを形成する工程において、  
複数の前記第1のシールリングのうちから選択された2個以上を取り囲む第2のシールリングを、前記第1のシールリングと並行して形成することを特徴とする請求項15に記載の半導体装置の製造方法。

[17] 前記第1のシールリングを形成する工程において、  
複数の前記第1のシールリングのうちから選択された2個以上を取り囲む複数の第2のシールリングと、前記複数個の強誘電体キャパシタのすべてを取り囲むと共に、前記第2のシールリングのすべてを取り囲む第3のシールリングと、を、前記第1のシールリングと並行して形成することを特徴とする請求項15に記載の半導体装置の製造方法。

[18] 前記第1のシールリングを形成する工程は、前記強誘電体キャパシタと同じ層及びその上層に、複数の金属膜を形成する工程を有することを特徴とする請求項15に記載の半導体装置の製造方法。

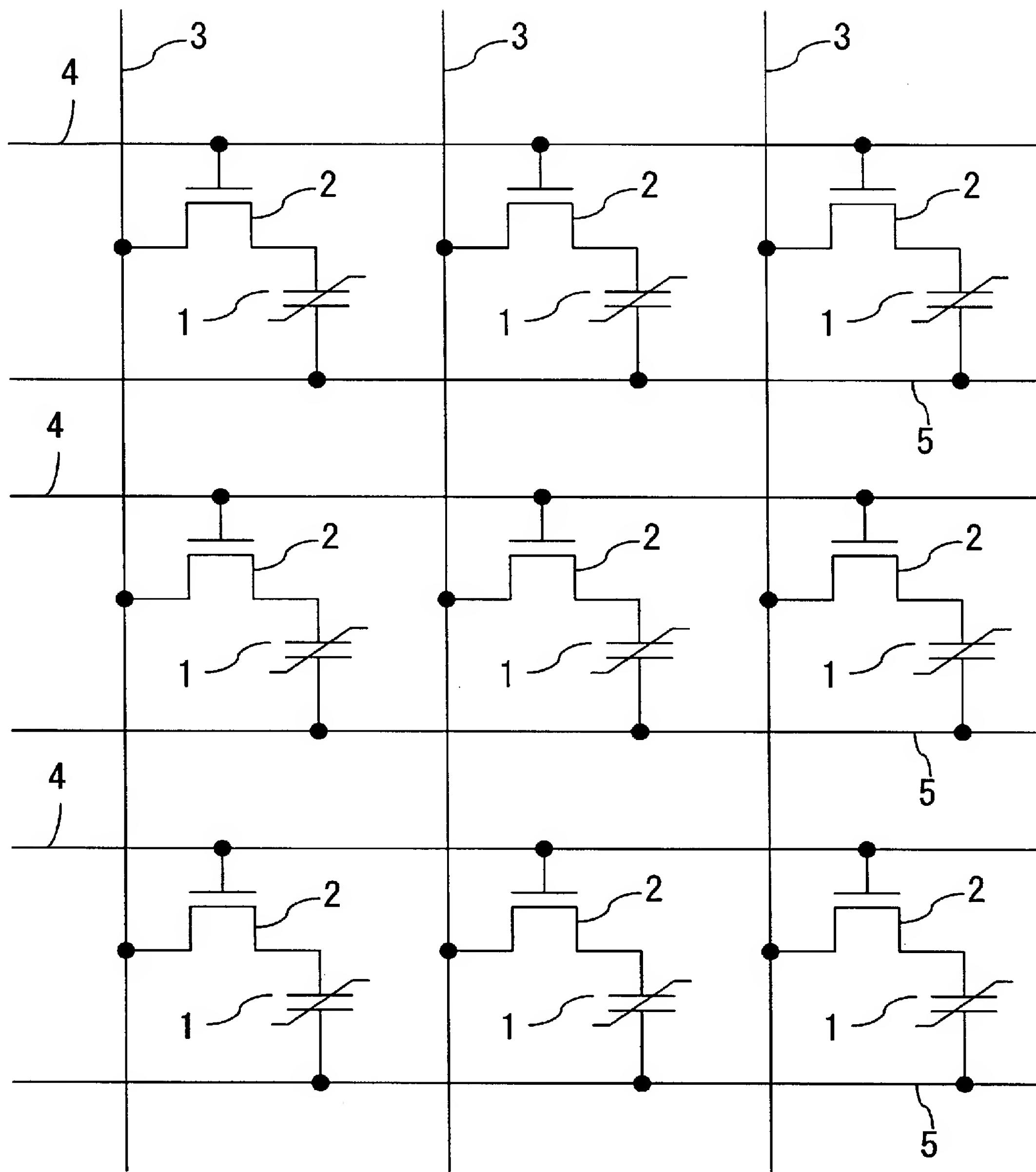
[19] 複数の配線層を形成する工程を有し、

前記第1のシールリングを、前記複数の配線層のうちで最も上層に位置するものと同じ高さまで延ばすことを特徴とする請求項15に記載の半導体装置の製造方法。

[20] 前記強誘電体キャパシタを形成する工程の前に、  
前記半導体基板の上方に、前記第1のシールリングの少なくとも一部と接続される金属膜を形成する工程を有することを特徴とする請求項15に記載の半導体装置の製造方法。

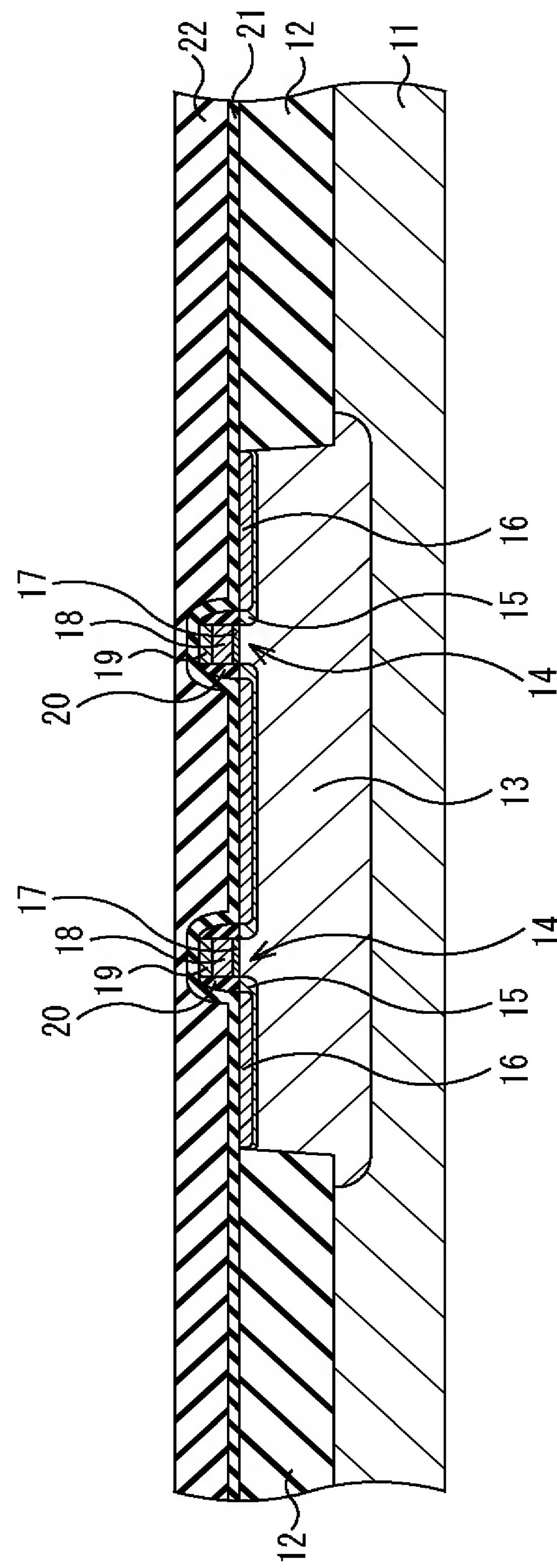
[図1]

図1



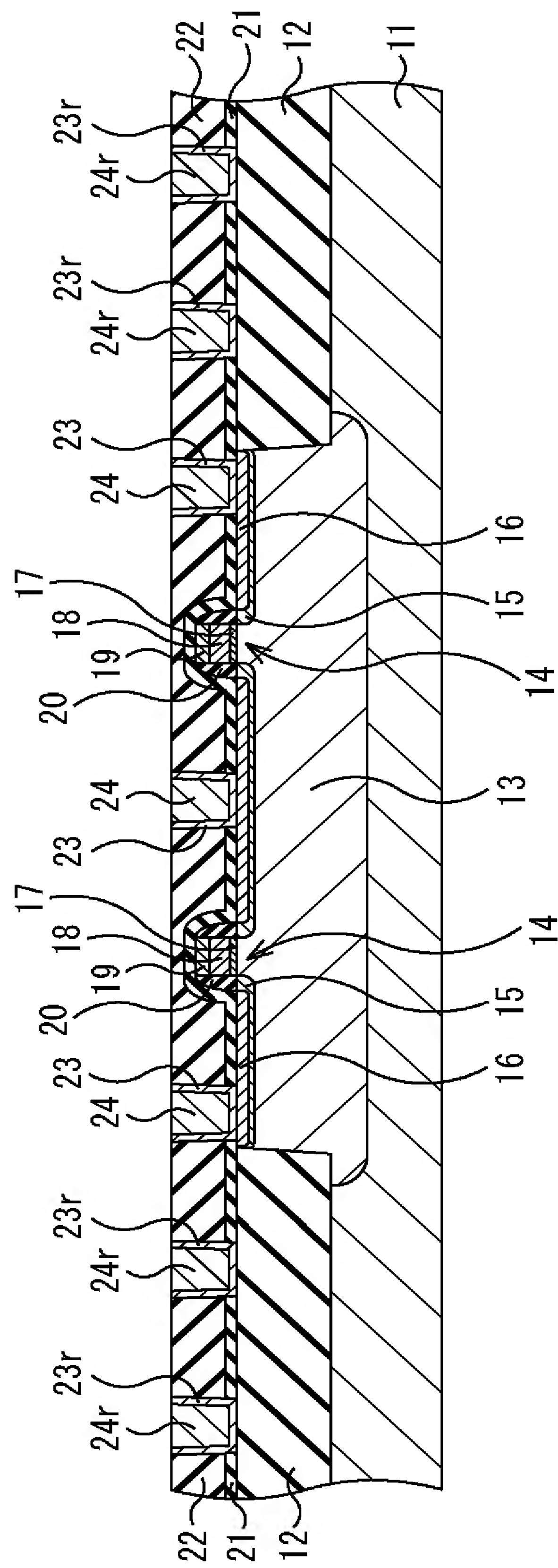
[図2A]

図2A

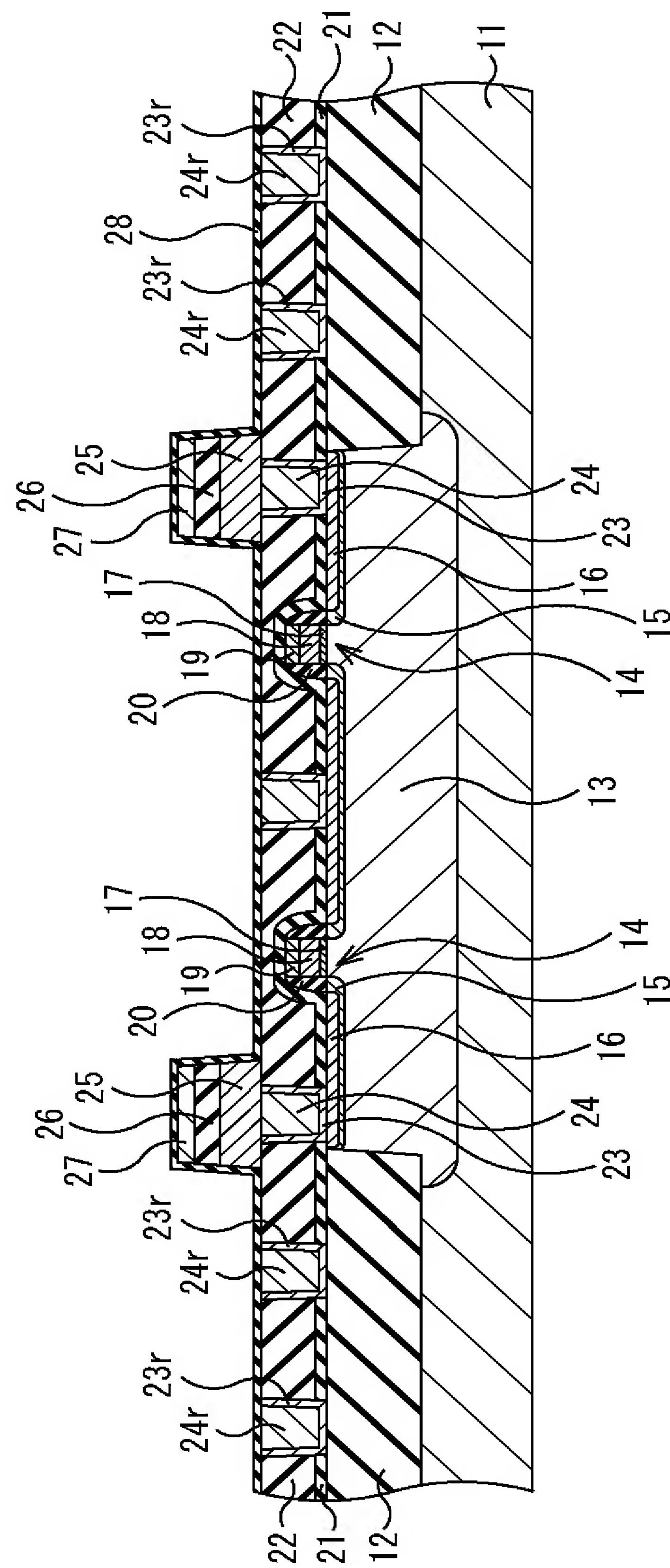


[図2B]

図2B

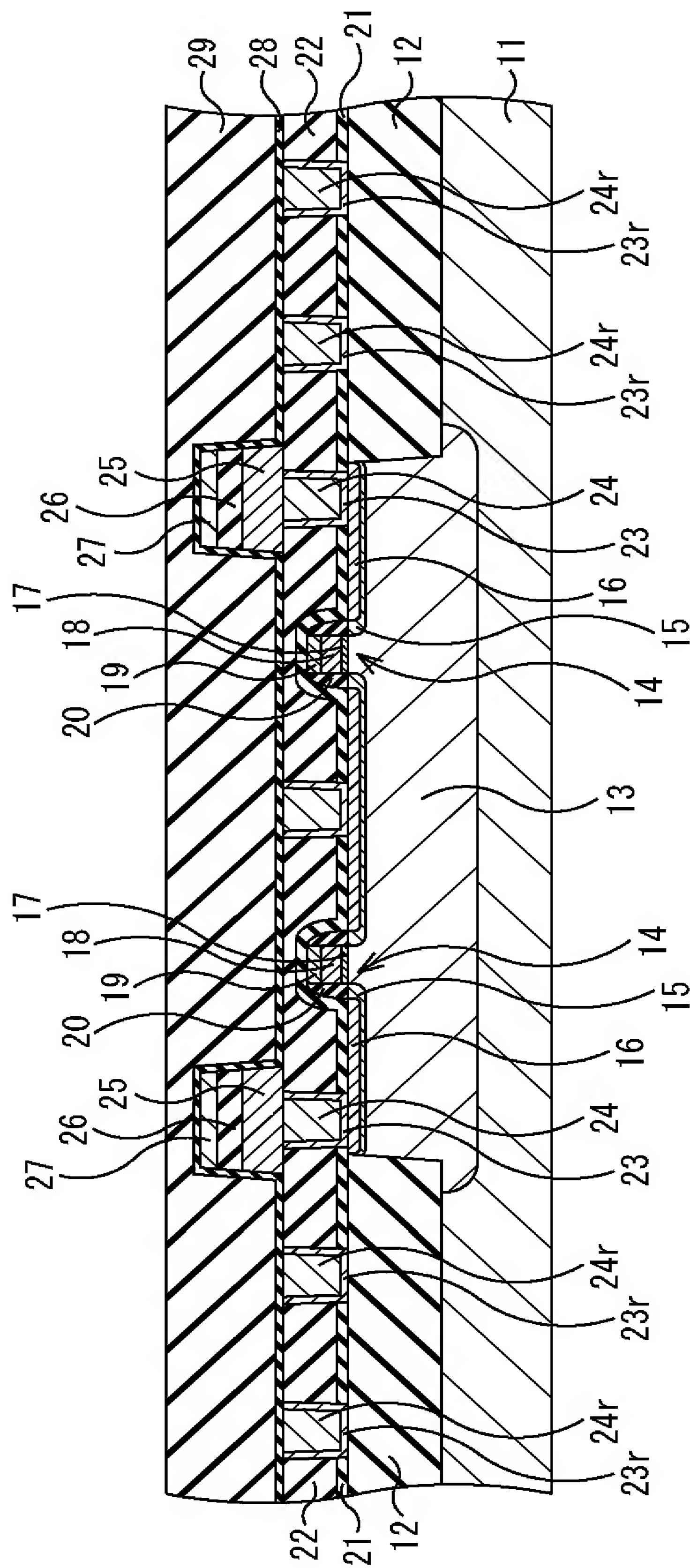


[図2C]



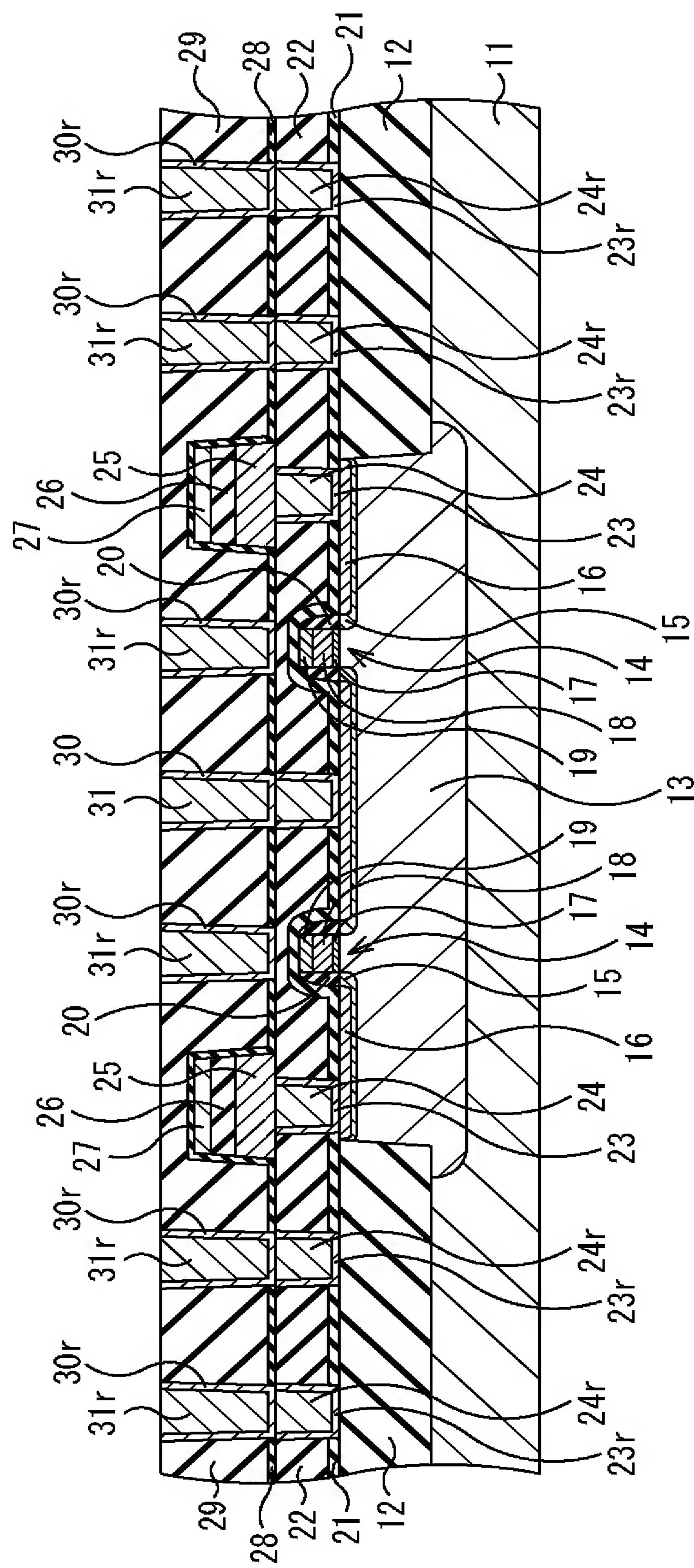
20

[ 2D]

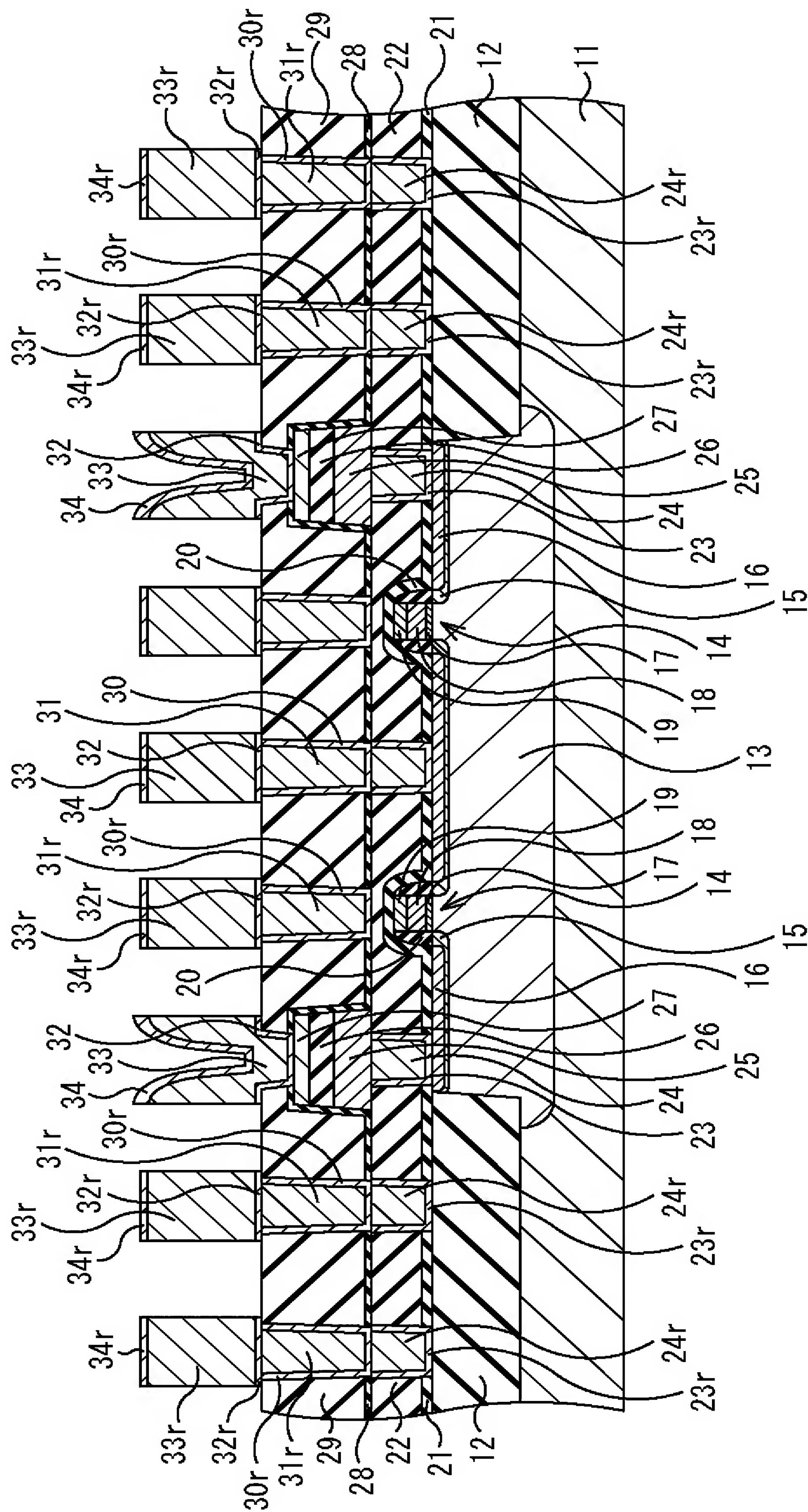


2

[义2E]



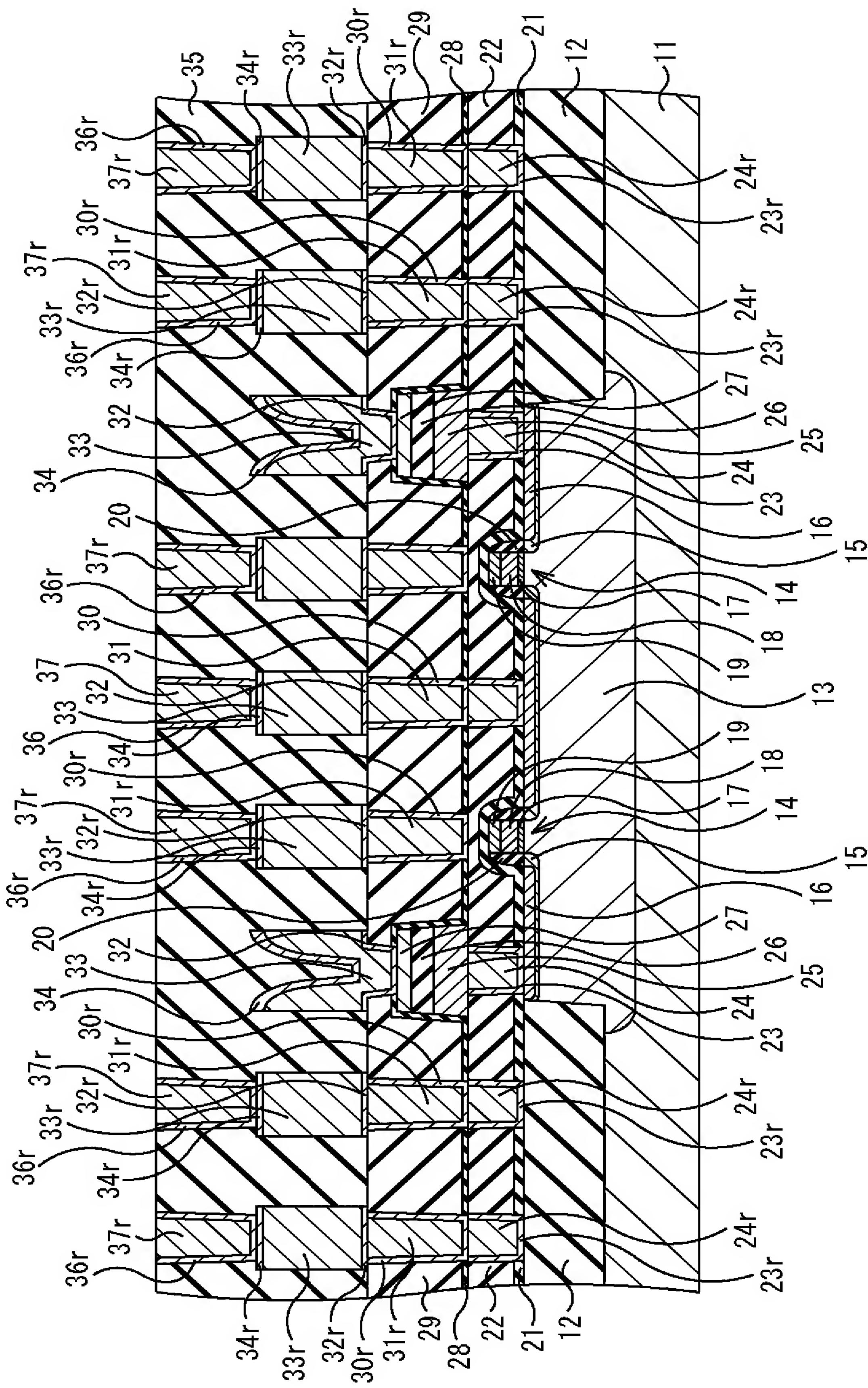
[2F]



21

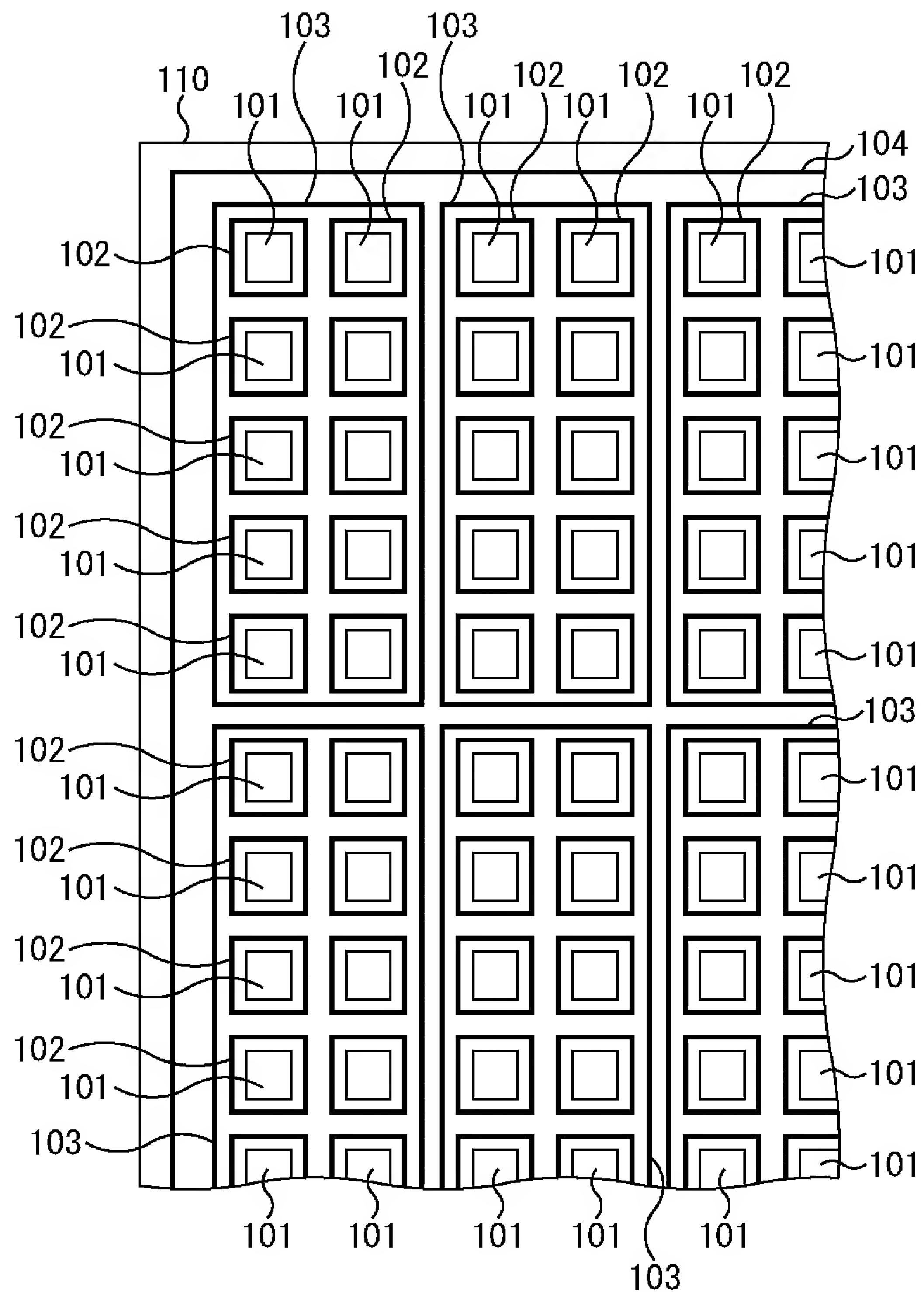
[図2G]

図2G



[図3]

図3



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/007373

**A. CLASSIFICATION OF SUBJECT MATTER**

 Int.Cl<sup>7</sup> H01L27/105, H01L27/108, H01L21/8242

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

 Int.Cl<sup>7</sup> H01L27/105, H01L27/108, H01L21/8242

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-153031 A (Fujitsu Ltd.), 27 May, 2004 (27.05.04), Par. Nos. [0208] to [0257]; Figs. 34 to 37 (Family: none)	1-20
Y	JP 2002-134506 A (Mitsubishi Electric Corp.), 10 May, 2002 (10.05.02), Par. Nos. [0002], [0038] to [0054]; Figs. 1 to 8 (Family: none)	1-20
A	JP 2002-026286 A (Fujitsu Ltd.), 25 January, 2002 (25.01.02), Full text & KR 2002005947 A & TW 476156 A & US 6501112 B1	1-20

 Further documents are listed in the continuation of Box C.

 See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

 Date of the actual completion of the international search  
 16 August, 2004 (16.08.04)

 Date of mailing of the international search report  
 31 August, 2004 (31.08.04)

 Name and mailing address of the ISA/  
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））  
Int. C17 H01L27/105, H01L27/108, H01L21/8242

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））  
Int. C17 H01L27/105, H01L27/108, H01L21/8242

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-153031 A(富士通株式会社)2004.05.27, 【0208】-【0257】 , 図34-図37(ファミリーなし)	1-20
Y	JP 2002-134506 A(三菱電機株式会社)2002.05.10, 【0002】 , 【0038】-【0054】 , 図1-図8(ファミリーなし)	1-20
A	JP 2002-026286 A(富士通株式会社)2002.01.25, 全文 &KR 2002005947 A&TW 476156 A&US 6501112 B1	1-20

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

16.08.2004

国際調査報告の発送日

31.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗野 正明

4M 9353

電話番号 03-3581-1101 内線 3462